

⑫ 公開特許公報(A)

昭61-125700

⑬ Int. Cl.⁴

G 08 C 15/06

識別記号

庁内整理番号

7187-2F

⑭ 公開 昭和61年(1986)6月13日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 計測入力装置

⑯ 特 願 昭59-247155

⑰ 出 願 昭59(1984)11月21日

⑱ 発 明 者 三 木 次 美 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社
制御製作所内
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1 発明の名称

計測入力装置

2 特許請求の範囲

計測入力情報の読み込みを制御するフライングキャパシタリレー及び、読み込まれた上記計測入力情報を出力制御する出力信号切替リレーを有した複数のアナログ入力変換器と、該各アナログ入力変換器内蔵の上記各リレーを作動させる為、走査信号を順次送出させるアドレスデコードを備えた計測入力装置において、上記アナログ入力変換器よりフライングキャパシタリレーを分離して設けた計測入力回路と、該計測入力回路に内蔵されたフライングキャパシタリレーを作動させる同期信号を発生する同期信号発生回路を備え、同期信号で複数の計測入力情報の読み込みを制御した後、走査信号でアナログ入力変換器より計測入力情報を外部回路へ伝送制御することを特徴とする計測入力装置。

3 発明の詳細な説明

〔産業上の利用分野〕

この発明は、複数の計測入力情報を同時に読み込み、それぞれを順次A/D変換し得る計測入力装置に関するものである。

〔従来の技術〕

第2図は従来の計測入力装置を示すブロック図であり、図において(1)、(1)はアナログ信号入力変換部(以下A I Cと称する)を示しフライングキャパシタリレー(1a)とA I C出力信号切替リレー(1b)より構成されている。(2)は上記各リレー(1a)、(1b)を動作させる走査信号(2a)を出力するアドレスデコード、(3)はA I C(1)より出力したA I C出力信号(1c)をデジタル変換するアナログ・デジタル変換器(以下A D Cと称する)。

尚、(4)、(4)は計測入力情報、(c)は計測入力情報を受けるキャパシタを示す。

従来の計測入力装置は上記のように構成され、例えば各計測地点より送出されてくる複数の計測入力情報(4)、(4)をA I C(1)、(1)へ読み込みこんだ後に順次A/D変換を⁽⁴⁾⁽⁴⁾場合には、アドレスデコ

ド(2)より送り出される走査信号(2a),(2a)により順次A I Cを走査する。

該走査信号(2a)によつて選択されたA I C(1)は、フライングキャパシタリレ-(1a)を動作させ、キャパシタ(c)に計測入力情報(4)を蓄えた後に、フライングキャパシタリレ-(1a)を切換制御すると共に、A I C出力信号切替リレ-(1b)を切り換えて上記計測入力情報(4)をA I C出力信号(1c)としてA D C(8)へ送出する。

以上一計測入力情報(4)を読み込み、A D C(8)へ送出した後、次の走査信号(2a)によつて選択されたA I C(1)に計測入力情報(4)を前記と同様に読み込み、A D C(8)へ送出することで、複数の計測入力情報(4)、(4)を順次A D C(8)へ送出することもできる。

[発明が解決しようとする問題点]

上記のような従来の計測入力装置では、各フライングキャパシタリレ-は時間差を置いて送出される各走査信号に同期して作動する為、複数の計測入力情報を読み取るタイミングがそれぞれ異なる。

この発明においては、複数の計測入力情報を読み込み制御するフライングキャパシタリレ-を同期信号にて動作させた為、同タイミングで複数の計測入力情報を読み込むことができる。これによつて各計測入力情報間に時間差の無い計測データを得ることができる。

[実施例]

第1図はこの発明の一実施例を示すブロック図であり、第2図と同符号は同一、又は相当部分を示し、詳細な説明は省略する。図において(5)は複数の計測入力情報(4)、(4)を切換制御できるフライングキャパシタリレ-(1a)を有する計測入力回路、(6)は上記フライングキャパシタリレ-(1a)を動作させる同期信号(6a)を発生させる同期信号発生回路である。

上記のように構成された計測情報入力装置において、複数の計測地点より計測入力回路(5)に送出された計測入力情報(4)、(4)は、同期信号発生回路(6)より出力された同期信号(6a)によつて動作するフライングキャパシタリレ-(1a)により同タイミ

リ、瞬時に同時進行するような複数の計測入力情報を一度に採取できない為計測データの精度の問題点があり、更に各A I C毎にフライングキャパシタリレ-を設ける必要が有る等の欠点もあつた。

この発明は上記のような従来のものの欠点を除去するためになされたもので、フライングキャパシタリレ-を内蔵した計測入力回路をA I Cの前段に入れることにより、A I Cからフライングキャパシタリレ-を取り外すことができ、複数の計測入力情報を同じタイミングで同時に読み込むことができる計測入力装置を提供することを目的としている。

[問題点を解決するための手段]

この発明に係る計測入力装置は、複数の計測入力情報を一度に制御できるフライングキャパシタリレ-を設け、このリレ-を情報読み込み用の同期信号にて動作させることで、一時期に複数の計測入力情報を読み込ませた後に順次A D Cに送出させるようにしたものである。

[作用]

ングで計測入力回路(5)に入力され、各A I C(1)、(1)に読み込まれる。

その後、アドレスデコード(2)から順次送出される走査信号(2a),(2a)によりA I C出力信号切替リレ-(1b)を切り替えながらA I C出力信号(1c)を順次A D C(8)へ送出する。

なお、本実施例では計測入力方式の構成作用を詳述して来たが、この思想を各種の情報伝送装置に適用できることは、言うまでもない。

[発明の効果]

この発明は以上説明したとおり、アナログ入力変換回路と独立した計測入力回路内にフライングキャパシタリレ-を設け同期信号で計測入力情報を読み込むように構成としたので、計測入力情報の読み込み制御を任意に行える為同時刻で複数の計測入力採取でき、精度の高い計測データを得ることができると共に、安価なアナログ入力変換回路を提供できる効果を奏する。

4. 図面の簡単な説明

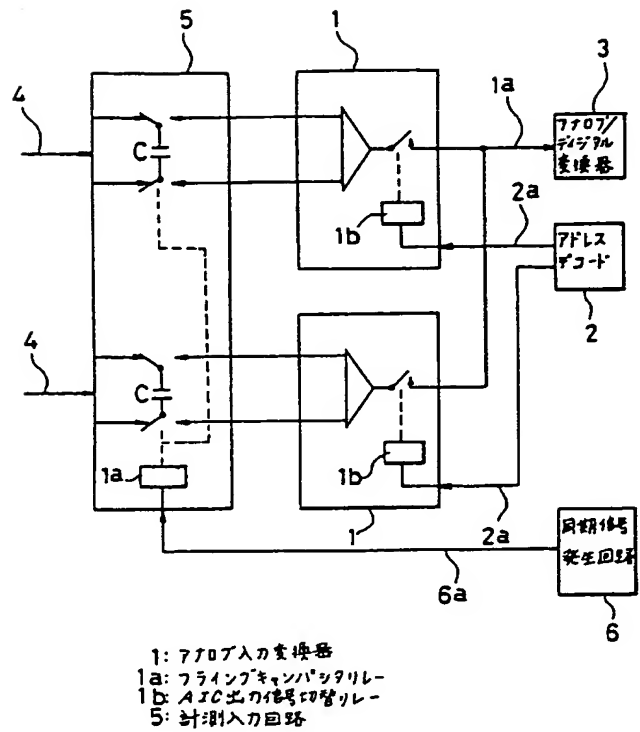
第1図はこの発明の一実施例による計測入力装

置のブロック図、第2図は従来の計測入力装置のブロック図である。

- (1): アナログ入力変換回路
- (1a): フライングキャパシタリレー
- (1b): A I C 出力信号切替リレー
- (2): アドレスデコード
- (5): 計測入力回路
- (6): 同期信号発生回路

代理人 大 岩 増 雄

第 1 図



第 2 図

